

0.2V で動作する冗長構成したインバータアレイによるアナログコンパレータの検討

神原 健郎¹ 村井 佑輔¹ 中司 賢一²
 (九州工業大学 大学院 工学府¹ 工学研究院²)

1 はじめに

半導体集積回路の低消費電力化は低電源電圧化で可能である。しかし、アナログ回路にとって低電圧化は動作に大きな影響を与える。コンパレータはアナログ回路であるが、その機能を完全なデジタル回路で置き換えることができれば、従来のアナログ回路では動作できなかった低電圧でも動作させることが可能となる。我々は、アナログコンパレータを、インバータの冗長構成と統計処理による全デジタル回路で実現可能性の検討を行っており[1]、これまで、高位設計言語 Verilog-HDL による自動化設計による全デジタル回路での実現と、0.4V 動作をモンテカルロシミュレーションによって確認している[2][3]。さらなる低消費電力化のため、電源電圧を0.2V以下まで下げられるかを検討した。

2 インバータアレイ型コンパレータの低電圧動作

半導体プロセスの微細化によってトランジスタのミスマッチやばらつきによるオフセットが問題となっており、これまで、我々は図1に示す冗長構成のインバータアレイに統計処理を導入した、全デジタル合成可能なアナログコンパレータ回路を開発している[1][2][3]。これらは、高位設計言語による論理合成であるため、標準ロジックで構成される純デジタル回路であって、通常のアナログ回路よりも電源電圧を下げる事が可能となる。Meindl によれば、CMOS スwitchング回路では電源電圧を65 mV程度まで下げられることが理論的に示されている[4]。しかし、インバータアレイ型コンパレータでは、スイッチングしたインバータの数を数えるあげる論理回路があるため、Meindl リミットである65 mV程度までは下げられないと考えられる。

3 シミュレーション方法と結果

前回の報告では、多数決回路のアルゴリズムとして、以下の3種類(1) 複数のインバータからの出力を単純に計算する方法(手法1)、(2) 分割統治法(手法2)と(3) ウォレスツリー(手法3)を検討したが[2]、本研究においても同様に手法1から手法3までについて、それぞれインバータ群の冗長度を7、15、31と63とした回路とし、モンテカルロシミュレーションによりそれぞれの性能を比較検討した。設計はVerilog-HDLで記述し、論理合成後、P&Rでレイアウトまで生成した。なお、ターゲットは65nm SOTB CMOS プロセスである。低しきい値と標準しきい値トランジスタで比較した。標準しきい値トランジスタの方がばらつきである標準偏差 σ_{Vsp} が小さかった。モンテカルロシミュレーションによる遷移電圧のばらつきの比較結果を図2に示す。なお、電源電圧は0.2Vとし、モンテカルロシミュレーションの試行回数は10回とした。いずれの手法においても冗長度を上げることでばらつきを抑えることができ、冗長度63で σ_{Vsp} を約0.6 mVまで抑えることができた。また、統計モデルを構築し、参照電圧を調整可能であるかをモデルと比較検討した。図3に参照電圧の可変特性を示す。0.096 V を中心に約 ± 0.01 V で可変できることが分かる。

4 まとめ

高位設計言語 Verilog-HDL による論理合成による全デジタル回路構成のインバータアレイ型コンパレータで低消費電力化のため、従来の電源電圧0.4Vから半減した0.2Vでの動作を検討した。その結果、0.2Vでも動作し、コンパレータの等価的な参照電圧は、低しきい値トランジスタで0.11V、標準しきい値トランジスタでは0.096Vであったが、ばらつきの度合いである標準偏差 σ_{Vsp} は両者とも約0.6 mVであった。

参考文献

- [1] 笹、中司、第68回電気・情報関係学会九州支部連合大会、2015。
 [2] 村井、中司、第68回電気・情報関係学会九州支部連合大会、2015。
 [3] 石井、村井、中司、第29回回路とシステムワークショップ、2016。
 [4] J.D.Meindl and J.A.Davis、IEEE JSSC、35(10)、2000。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社、メンター株式会社、シノプシス株式会社の協力で行われたものである。

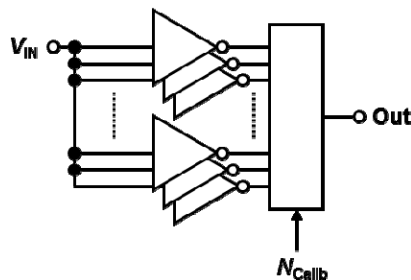


図1 冗長性インバータアレイによるコンパレータ回路

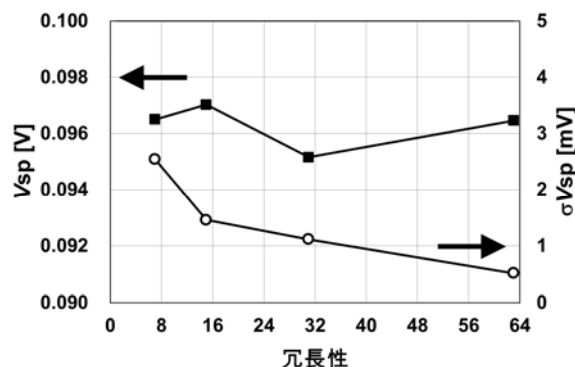


図2 遷移電圧とばらつきの比較結果

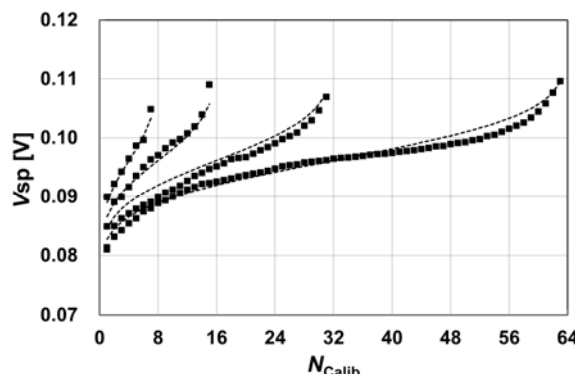


図3 参照電圧の可変特性