

# ドブルイン系列を用いた LDPC 符号の構成に関する一検討

森山 祥太郎 常田 明夫  
(熊本大学大学院自然科学研究科)

## 1 はじめに

近年の高度情報通信社会においては、あらゆる場面でデジタル通信が行われており、伝送路上で発生するビット誤りを訂正・検出するための誤り制御技術が必要不可欠である [1],[2] . これまで、様々な誤り訂正・検出符号が研究されており、その中で、シャノン限界に近い誤り訂正能力をもつ符号として低密度パリティ検査 (Low-Density Parity-Check; LDPC) 符号が注目されている [3]-[5] . 本論文では、非線形フィードバックシフトレジスタ (Nonlinear Feedback Shift Register; NFSR) から生成されるドブルイン系列 [6] を元にした 2 値系列を用いて低密度パリティ検査符号を構成し、そのビット誤り率特性を評価するとともに、用いる 2 値系列の自己相関特性との関係についても検討する [7] .

## 2 NFSR を用いた LDPC 符号の構成法

図 1 に示すように  $m$  段非線形フィードバックシフトレジスタの上位 6 ビットを入力とする論理関数

$$f_i(a_0, a_1, a_2, a_3, a_4, a_5) = \begin{cases} 1 & a_0 a_1 a_2 a_3 a_4 a_5 = P_i, \\ 0 & \text{otherwise,} \end{cases} \quad (1)$$

を定義する . ここで,  $P_i$  は 6 ビットパターン ( $i = 0, 1, \dots, 63$ ) を示し, NFSR は最大周期  $N = 2^m$  をもつドブルイン系列 [6] を生成するものとする . このとき, 式 (1) により得られる 2 値系列は, 1 周期中の 1 の個数が  $N/64$  の疎な 2 値系列となる . 式 (1) の  $f_i$  ( $i = 0, 1, \dots, 63$ ) を用いることにより, 1 つのドブルイン系列から 64 種類の疎な 2 値系列を生成することができる .

このようにして得られた疎な 2 値系列を  $\mathbf{b} = (b_0, b_1, \dots, b_{N-1})$  とし, パリティ検査行列  $H$  を

$$H = [P|I_N] = \begin{bmatrix} b_0 & b_1 & \dots & b_{N-2} & b_{N-1} & 1 & 0 & 0 & \dots & 0 \\ b_{N-1} & b_0 & \dots & b_{N-3} & b_{N-2} & 0 & 1 & 0 & \dots & 0 \\ b_{N-2} & b_{N-1} & \dots & b_{N-4} & b_{N-3} & 0 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ b_1 & b_2 & \dots & b_{N-1} & b_0 & 0 & 0 & 0 & \dots & 1 \end{bmatrix}, \quad (2)$$

と定義する . ここで,  $P$  は  $\mathbf{b}$  を用いて構成される  $N \times N$  の行列,  $I_N$  は  $N \times N$  の単位行列を示す . したがって,  $H$  は  $N \times 2N$  の行列となる . 式 (2) に示すように,  $P$  の第 1 行目は  $\mathbf{b}$  をそのまま用い, 第 2 行目以降は, これを 1 ビットずつ右巡回シフトした 2 値系列を用いている . これにより,  $(2N, N)$ -LDPC 符号のパリティ検査行列が構成される .

## 3 ビット誤り率特性

LDPC 符号シミュレータ [8] を用いて, 前節で提案した LDPC 符号のシミュレーションを行い, ビット誤り率 (BER) 特性を調べた . ここで, ランダムに選んだ周期  $N = 512$  のドブルイン系列を 5 つ用いて,  $(1024, 512)$ -LDPC 符号を構成した . 前節で述べたように, 各ドブルイン系列から 64 種類の疎な 2 値系列を生成することにより, 64 種類の LDPC 符号が構成される . 5 つのドブルイン系列毎の BER 特性を図 2~図 6 に示す . これらの図中には, 比較のため, [8] で公開されている  $(981, 500)$  符号 (サンプル符号) の BER 特性も示す .

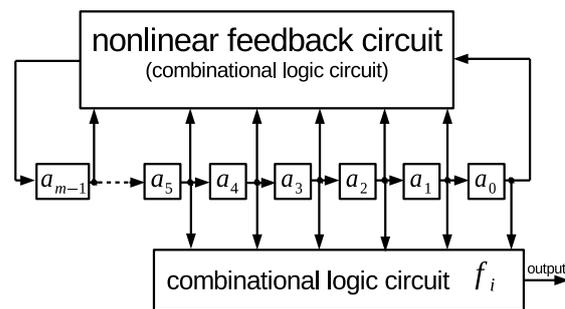


図 1: NFSR に基づいた疎な 2 値系列の生成法

これらの図より, 概ね似たような BER 特性となっているが, 比較的低いビット誤り率をもつ場合と, 逆に高いビット誤り率をもつ場合があり, 用いる疎な 2 値系列に依存していると考えられる . ここで, 2 値系列  $\mathbf{b} = \{b_n\}_{n=0}^{N-1}$  の自己相関関数を

$$\hat{A}(\ell; \mathbf{b}) = \frac{\sum_{n=0}^{N-1} (b_n - 1/64)(b_{(n+\ell) \bmod N} - 1/64)}{\sum_{n=0}^{N-1} (b_n - 1/64)^2}, \quad (3)$$

と定義する . ここで,  $\ell$  は遅れ時間,  $N$  は系列長なので 512 である . 用いた疎な 2 値系列の自己相関値を計算したところ, すべての 2 値系列の遅れ時間  $\ell = 1 \sim 511$  までにおいて

$$\left\{ \frac{31}{63}, \frac{23}{63}, \frac{15}{63}, \frac{7}{63}, \frac{-1}{63} \right\} \quad (4)$$

のいずれかの値をもつことが分かった . この自己相関特性と BER 性能の関係について検討した結果, 提案符号の特徴として, 以下が挙げられる .

- (1) ビットパターン  $P_0(000000)$  と  $P_{63}(111111)$  から生成される疎な 2 値系列は, すべてのドブルイン系列において強い正の相関値  $31/63$  をもち, 得られた LDPC 符号の BER は高い . また, ドブルイン系列 3 と  $P_{48}(110000)$  から得られる疎な 2 値系列も強い正の相関値  $31/63$  をもち, 得られた LDPC 符号の BER は高い .
- (2) 正の相関が強い系列を用いた場合は, 概ね BER は高い .
- (3) その他, 自己相関特性と BER 性能の間にいくつかの関係が見られる .

なお, SN 比が 2dB を超えると,  $(981, 500)$  符号 (サンプル符号) の BER の方が, 提案符号よりも小さくなっていることもわかった .

## 4 まとめ

本稿では, NFSR から生成されるドブルイン系列を用いて LDPC 符号を構成した . シミュレーションにより, 提案符号の BER 性能を評価し, 用いる 2 値系列の自己相関特性との関係を検討した . その結果, 強い正の相関をもつ 2 値系列を用いると BER が高くなるなど, BER 性能と自己相関特性に関連性があることが分かった . 今後, さらなる詳細な解析が必要である .

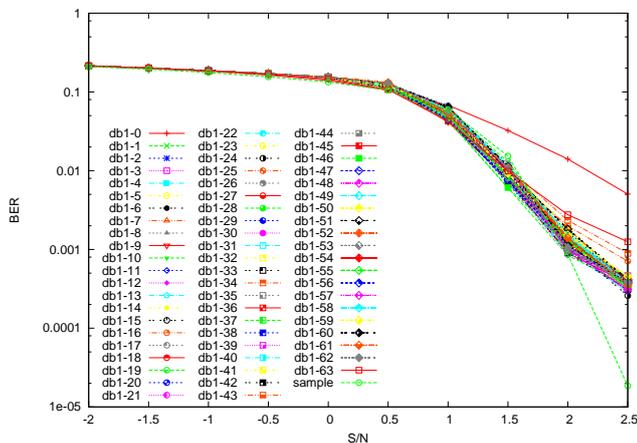


図 2: 提案符号の BER 特性 (ダブルイン系列 1)

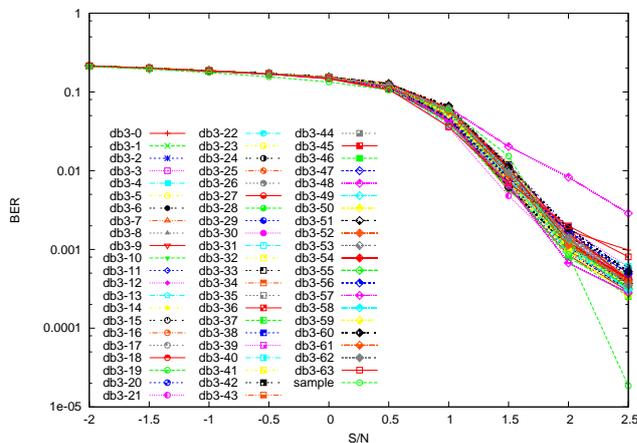


図 4: 提案符号の BER 特性 (ダブルイン系列 3)

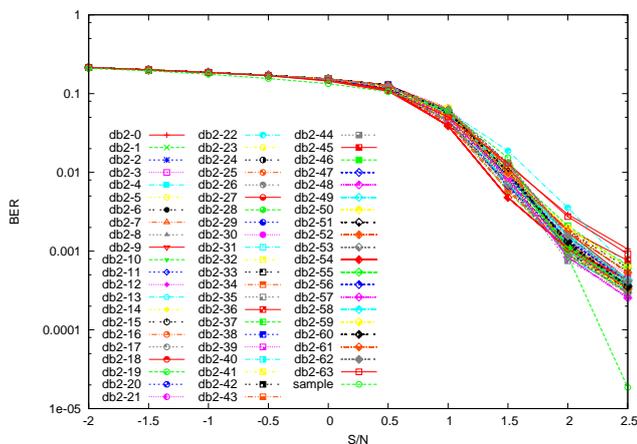


図 3: 提案符号の BER 特性 (ダブルイン系列 2)

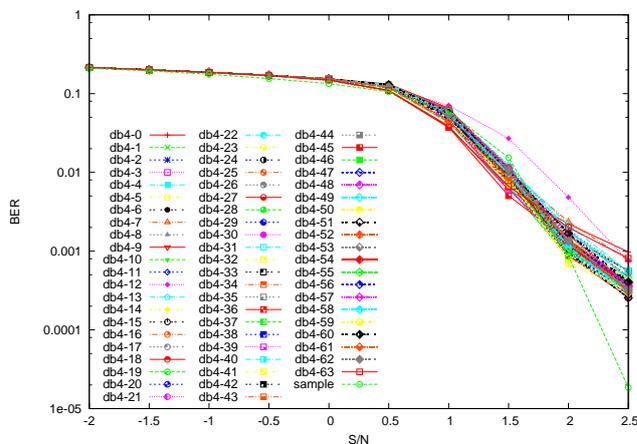


図 5: 提案符号の BER 特性 (ダブルイン系列 4)

謝辞 本研究は JSPS 科研費 JP16K06361 の助成を受けたものである。

参考文献

- [1] W. W. Peterson and E. J. Weldon Jr., *Error-Correcting Codes* (2nd ed.), The MIT Press, 1972.
- [2] 和田山, 誤り訂正技術の基礎, 森北出版, 2010.
- [3] R. G. Gallager, "Low-Density Parity-Check Codes," *IRA Trans. Inf. Theory*, vol.8, no.1, pp.21–28, 1962.
- [4] N. Bonello, S. Chen, and L. Hanzo, "Low-Density Parity-Check Codes and Their Rateless Relatives," *IEEE Communications Survey & Tutorials*, vol.13, no.1, pp.3–26, 2011.
- [5] P. Hailes, L. Xu, R. G. Maunder, B. M. Al-Hashimi, and L. Hanzo, "A Survey of FPGA-Based LDPC Decoders," *IEEE Communications Survey & Tutorials*, vol.18, no.2, pp.1098–1122, 2016.
- [6] S. W. Golomb, *Shift Register Sequences*, revised ed., Aegean Park Press, 1982.
- [7] 森山, "ダブルイン系列を用いた低密度パリティ検査符号に関する基礎研究," 熊本大学卒業論文, 2016.
- [8] LDPC 符号シミュレータ, <https://dl.dropboxusercontent.com/u/1820240/supportpages/LDPCpublic.html>

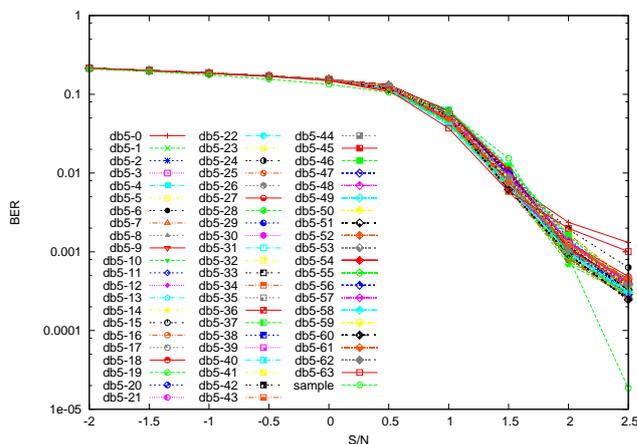


図 6: 提案符号の BER 特性 (ダブルイン系列 5)