

FPGA を用いた PMSM の高精度高分解能制御に関する研究

加藤 勇人* 花本 剛士*
 (*九州工業大学大学院)

1 はじめに

本研究で使用している PMSM は、堅牢性とメンテナンス性の高さから産業界で多く使用されている。近年では可変速駆動や小型化、高効率化が求められ、パワーエレクトロニクス技術開発が進められている。本研究ではリアルタイム性を維持しつつ複雑な制御演算を含む PMSM の制御システムを構築する為、高速演算及び柔軟な変更が可能な FPGA を用いて制御演算のハードウェア化を行っている。本論文では高速スイッチングが可能な SiC インバータを用いてスイッチング周期や制御周期、速度検出周期のそれぞれの高速化、演算時処理の適正化(高分解能化)により、ハードウェア制御の特性を活かした高速制御系を構築する。

2 原理

2.1 高分解能化

FPGA の大容量化に伴い、より高性能化を実現するために内部信号の 32bit 化/16bit 化を行う。AD コンバータからの入力是一定(データ量)であるが、その値を元に内部で演算を行う際に 32bit を基準とすることで演算精度を上げる。また、PWM 波形を生成するとき(三角波比較)に使用する波形も 16bit を基準とすることで精度を向上させる。

2.2 制御システム

制御システム(図1)において太線で囲われている部分が本研究で使用したハードウェア素子である FPGA 内部に構築する。エンコーダから受け取る信号を元に速度及び回転子位置を算出し、指令値と比較して速度 PI 制御を行う。電流センサから受け取る信号を座標変換(dq 変換)し、電流 PI 制御を行う。

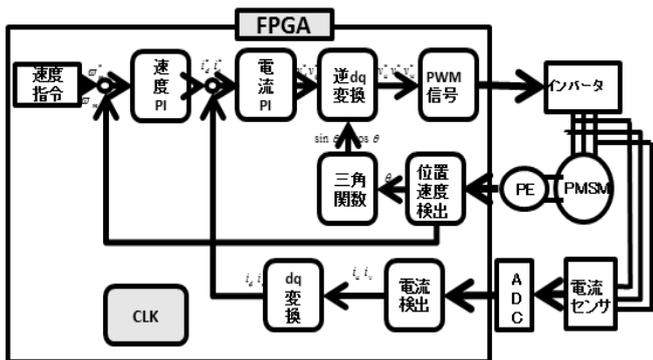


図1 ブロック線図

3 実験

速度指令値をステップ状に変化させることで、システムの過渡応答速度を検証する。

表1 測定条件

電源電圧	50	[V]
速度指令値 1	300	[rpm]
速度指令値 2	400	[rpm]
検出速度	50	[kHz]
デッドタイム	0.2	[μ s]
PWM 周波数	50	[kHz]
制御周波数	100	[kHz]

表1の条件で立上がり及び立ち上がりの速度応答、q 軸電流を測定した結果を図 2,3 に示す。

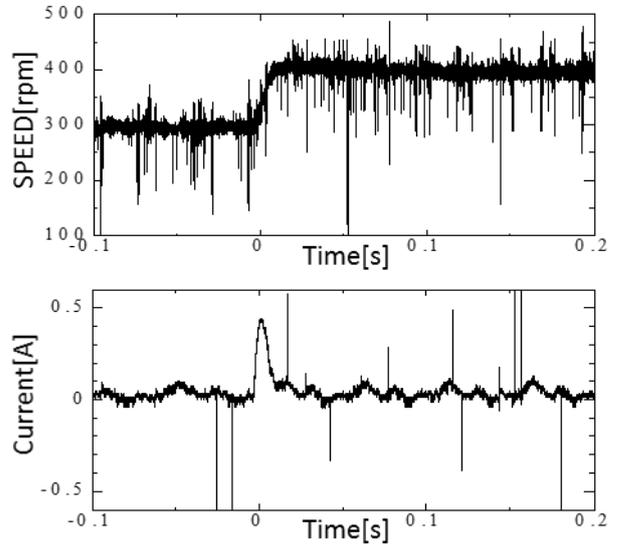


図2 立ち上がりステップ応答

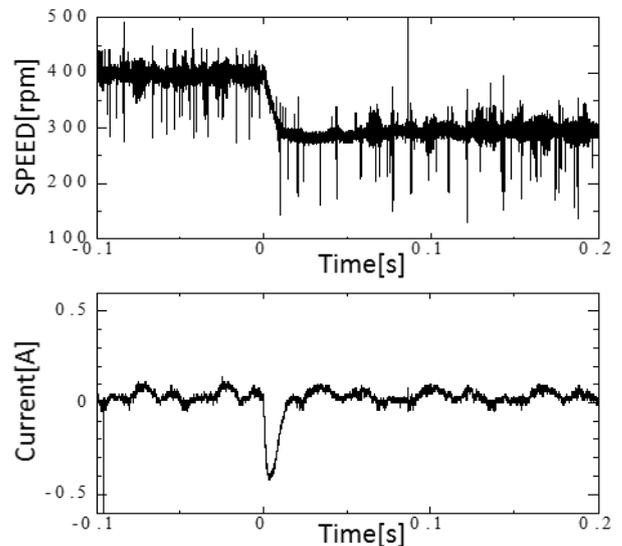


図3 立ち下がりステップ応答

4 まとめ

速度の立ち上がり及び立ち下り時間は約 9[ms]で高速応答を実現できている。PWM 生成用波形の分解能を 4 倍(制御周波数 100[kHz])にしても制御が可能であることが分かった。また、デッドタイムが小さい[0.2 μ s]事で q 軸電流の移り変わりも滑らかに行えている。今後は更に制御周波数・分解能を高めて高性能化を目指す。また、ボトルネックになっているエンコーダの検出速度を超えた制御を行うために速度オブザーバを導入する。

参考文献

[1] 長岡秀憲,花本剛士:「FPGA を用いた PMSM のデジタルハードウェア高速制御に関する研究」,平成 27 年電気学会九州支部連合大会